

**Certification under 37 CFR 1.8(a)**

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with The United States Postal Service with sufficient postage as first class mail in an envelope addressed to The Commissioner for Patents, Washington, D.C. 20231 on April 22, 2002.

550mean  
DS  
7-23-02

Vangelis Economou  
Name

*Vangelis Economou*  
Signature

DOCKET: CU-2759

**IN THE UNITED STATES PATENT & TRADEMARK OFFICE**

APPLICANT: Woo Seock CHEONG )  
SERIAL NO: 10/034,504 ) Group Art Unit: 2812  
FILING DATE: December 28, 2001 ) Examiner:  
TITLE: METHOD OF MANUFACTURING A CONTACT )  
PLUG FOR A SEMICONDUCTOR DEVICE )

The Commissioner for Patents  
Washington, D.C. 20231

COPY OF PAPERS  
ORIGINALLY FILED

**SUBMITTAL OF PRIORITY DOCUMENT**

Dear Sir:

Attached herewith is a certified copy of South Korean Application  
2001-61887 filed October 8, 2001, for which priority is claimed under  
35 USC 119.

Respectfully submitted,

*Vangelis Economou*

Attorney for Applicant

April 22, 2002  
Date

/45

Vangelis Economou, Reg. 32341  
c/o Ladas & Parry  
224 South Michigan Avenue  
Chicago, Illinois 60604  
(312) 427-1300



COPY OF PAPERS  
ORIGINAL FILED

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

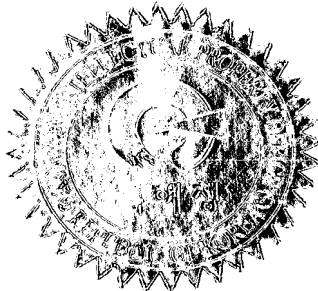
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 61887 호  
Application Number PATENT-2001-0061887

출원년월일 : 2001년 10월 08일  
Date of Application OCT 08, 2001

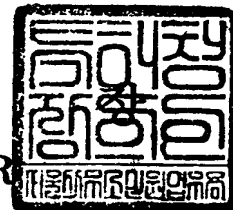
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2001 년 11 월 23 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2001.10.08
【발명의 명칭】	반도체소자의 플러그 형성방법
【발명의 영문명칭】	Method for forming plug in semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	정우석
【성명의 영문표기】	CHEONG, Woo-Seock
【주민등록번호】	691006-1002518
【우편번호】	467-832
【주소】	경기도 이천시 백사면 모전리 현대아파트 107-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	14 면 14,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	25 항 909,000 원
【합계】	952,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체소자의 플러그 형성방법에 관한 것으로, 실리콘기판을 제공하는 단계; 상기 실리콘기판상에 절연막을 형성하는 단계; 상기 절연막을 선택적으로 제거하여 상기 실리콘기판의 일부분을 노출시키는 콘택 홀을 형성하는 단계; 상기 콘택홀측면에 실리콘막을 형성하는 단계; 상기 콘택홀 아래의 실리콘 기판 및 실리콘막의 노출된 표면을 포함한 콘택홀내에 선택적 도전성플러그를 형성하는 단계를 포함하여 이루어진다.

**【대표도】**

도 9

## 【명세서】

## 【발명의 명칭】

반도체소자의 플러그 형성방법{Method for forming plug in semiconductor device}

## 【도면의 간단한 설명】

도 1 내지 도 4는 종래기술에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정별 단면도.

도 5 내지 도 9는 본 발명의 일실시예에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정단면도이다.

도 10은 본 발명의 일실시예에 따른 반도체소자의 플러그 형성방법에 있어서, PE-USG막이 형성된 단면을 보여 주는 TEM 사진이다.

도 11은 본 발명의 일실시예에 따른 반도체소자의 플러그 형성방법에 있어서, 습식식각공정 및 도핑된 비정질실리콘층이 형성된 단면을 보여 주는 TEM 사진이다.

도 12는 본 발명의 일실시예에 따른 반도체소자의 플러그 형성방법에 있어서, 선택적 실리콘성장(SEG)과 다결정실리콘막이 형성된 단면을 보여 주는 TEM 사진이다.

도 13 내지 도 17은 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정단면도이다.

## [도면부호의설명]

- |                      |                      |
|----------------------|----------------------|
| 21 : 실리콘기판           | 23 : 트렌치소자분리막        |
| 25 : 게이트구조           | 27 : 질화막스페이서         |
| 29 : 절연막             | 31 : PE-USG막         |
| 33 : 비정질실리콘박막        | 35 : 선택적실리콘플러그       |
| 35a : 선택적 실리콘성장(SEG) | 35b : 선택적다결정실리콘(SSG) |

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체소자의 제조방법에 관한 것으로서, 보다 상세하게는 초고 집적 반도체소자 제조에 적합한 우수한 콘택플러그를 형성할 수 있는 반도체소자의 플러그 형성방법에 관한 것이다.

<14> 일반적으로, 반도체소자의 제조시에 선택적 실리콘 성장(SEG; selective silicon growth) 기술의 적용 가능성은 셀 크기의 축소와 공정단순화, 그리고 전기적 특성 확보차원에서 높이 평가되고 있다.

<15> 최근까지는 반도체소자 제조시에 적용하는 실리콘 콘택플러그는 콘택홀 형성후, 콘택홀내에 비정질실리콘을 증착하고 이를 시앰피(CMP)공정으로 평탄화시켜 형성하였다.

<16> 그러나, 반도체소자를 제조함에 있어서, 회로선폭이 0.16  $\mu\text{m}$  이하 기술에서 콘택저항의 감소시키는 것은 매우 중요한 해결과제라고 할 수 있다.

- <17> 따라서, 선택적 실리콘성장을 적용하여 플러그를 형성할 수 있다면, 셀크기 축소에 따른 갭매립(gap-fill) 문제나 콘택 저항 증가 문제를 한번에 해결할 수 있다.
- <18> 한편, 플러그 분리를 위한 시엠퍼(CMP)나 실리콘홈식각(silicon recess etch)을 생략할 수 있어 공정단순화도 기대해 볼 수가 있다.
- <19> 그러나, 플러그 형성시에 선택적 실리콘 성장(SEG; selective epitaxial growth)을 적용시에 해결해야 할 문제점이 많다.
- <20> 그중 하나는 패턴물질(즉, 선택적 실리콘 성장(SEG)이 성장하도록 창을 형성하는 물질)에 따른 선택성의 확보이다.
- <21> 또한, 셀활성영역의 확보차원에서 자기정렬콘택(SAC; self-aligned contact) 식각 개념을 적용할 때 반드시 질화막표면이 드러난다.
- <22> 한편, 선택적 실리콘성장(SEG)은 패턴물질에 따라 선택성(selectivity), 열적 스트레스(thermal stress)에 기인한 결함, 퍼시트 발생(facet generation) 양상 등이 크게 변할 수 있다.
- <23> 일반적으로, 엘피시브이디(LPCVD)의 경우, 질화막 계열물질은 850 ℃ 이하 온도에서 산화막 계열의 물질에 비해 선택성확보가 매우 어렵다.
- <24> 따라서, 선택성을 확보하려면 성장속도를 낮추어야 하므로 열적성장(thermal growth)이 증가한다.
- <25> 이러한 관점에서, 종래기술에 따른 반도체소자의 플러그 형성방법을 첨부된 도면을 참조하여 설명하면 다음과 같다.

- <26> 도 1 내지 도 4는 종래기술의 일실시예에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정단면도이다.
- <27> 종래기술에 따른 반도체소자의 플러그 형성방법은, 도 1에 도시된 바와같이, 실리콘기판(1)상에 게이트전극(3)을 형성하고, 상기 게이트전극(3)의 측면에 측벽 스페이서(5)를 형성한다.
- <28> 그다음, 도면에는 도시하지 않았지만, 상기 측벽스페이서(5)양측아래의 실리콘기판(1)내에 불순물을 주입하여 불순물접합영역을 형성한다.
- <29> 이어서, 상기 게이트전극(3)과 측벽스페이서(5)을 포함한 실리콘기판(1)상에 층간절연막(7)을 증착한다.
- <30> 그다음, 도 2에 도시된 바와같이, 상기 층간절연막(7)을 리소그래피 공정기술을 이용한 마스크 형성공정 및 이를 이용한 패터닝공정을 진행하여 상기 불순물접합영역(미도시)을 노출시키는 플러그콘택홀(9)을 형성한다.
- <31> 이어서, 도 3에 도시된 바와같이, 상기 플러그콘택홀(9)을 포함한 층간절연막(7)의 상면에 상기 플러그콘택홀(9)을 매립하는 비정질실리콘층(11)을 증착한다.
- <32> 그다음, 상기 비정질실리콘층(11)을 CMP 또는 실리콘 리셋 에치(silicon recess etch) 공정을 진행하여 상기 플러그콘택홀(9)내에 상기 불순물접합영역(미도시)과 전기적으로 접촉하는 콘택플러그(11a)를 형성한다.



## 【발명이 이루고자 하는 기술적 과제】

<33> 그러나, 상기 종래기술에 따른 반도체소자의 플러그 형성방법은, 특히 회로 선폭이  $0.16\ \mu\text{m}$  이하 기술의 높은 에스펙트비(high aspect ratio)를 갖는 콘택홀과 콘택플러그 형성시에 다음과 같은 문제점들이 있다.

<34> 상기 종래기술에 있어서는, 다결정실리콘(poly) 형성후 실리콘으로 플러그를 형성하기 위해서는 산화막의 평탄화(CMP)와 콘택홀 형성 그리고 비정질실리콘 증착과 플러그 분리(CMP 또는 실리콘 리셋 식각)공정등을 거치게 되므로써 제조비용이 상대적으로 많이 소모된다.

<35> 또한, 일반적으로 튜브형 실리콘 증착장비( tube type LPCVD)는 인시튜 세정(in-situ cleaning)기능이 없기 때문에 셀과 플러그의 계면에 자연산화막이 생기는 것을 방지할 수가 없다. 이는 다결정실리콘 플러그의 콘택저항(contact resistance)이 선택적 실리콘성장(SEG)의 콘택저항에 비해 3배 정도 증가시킬 수가 있다.

<36> 그리고, 종래기술에 따른 플러그 형성방법은, 콘택홀 크기의 축소와 에스펙트비의 증가에 따른 실리콘증착의 갭 매립 능력이 문제가 될 수도 있다.

<37> 더욱이, 종래기술에 따른 플러그 형성방법은, 고농도 도핑된 비정질 또는 다결정실리콘이 후속 열처리에 대한 인(phosphorus)의 확산 거동이 선택적 실리콘성장(에피택셜층)에 비해 촉진되어 소자 특성을 저하시킬 수 있다.

<38> 한편, 도면에는 도시하지 않았지만, 종래기술에 따른 플러그 형성방법의 다른 실시예에 대해 간략하게 설명하면 다음과 같다.

- <39> 종래기술의 다른 실시예에 따른 반도체소자의 플러그 형성방법은, 게이트전극과 불순물접합영역이 형성된 실리콘기판(미도시)상에 질화막재질을 이용하여 층간절연막(미도시)을 증착한다.
- <40> 그다음, 상기 층간절연막(미도시)을 선택적으로 패터닝하여 상기 불순물접합영역(미도시)을 노출시키는 콘택홀(미도시)을 형성한다.
- <41> 이어서, 상기 콘택홀(미도시)내에 상기 질화막 재질의 층간절연막(미도시) 패턴과 선택성을 유지하여 선택적 실리콘성장 플러그(SEG plug)를 형성한다.
- <42> 상기와 같은 다른 실시예를 통해 얻어지는 선택적 실리콘성장(selective epitaxial growth of silicon)으로 인해 콘택저항이 감소되고 플러그 형성공정이 단순화되는 잇점이 있었다.
- <43> 그러나, 상기 종래기술에 있어서는, LPCVD방법을 사용하는 경우 질화막 표면위에서의 선택성 확보를 위해 염산(HCl) 함량을 증가시키게 되기 때문에 그에 따른 선택적 실리콘성장의 성장속도의 감소가 불가피하게 된다.
- <44> 이러한 종래의 플러그 형성방법에 있어서, 질화막물질의 열팽창계수 (TCE; thermal coefficient of expansion)가 실리콘보다 훨씬 크기 때문에 온도 변화에 따른 선택적 실리콘성장(SEG)의 결함생성을 방지할 수 없다.
- <45> 한편, 종래기술에 있어서는, UHV-CVD방법을 사용하는 경우, 질화막표면에 대해서는 공정마진을 확보할 수가 없다.
- <46> 더욱이, 종래기술에 있어서는, 질화막패턴이 약 900 ℃이하에서 산화막에 비해 선택성 확보를 위한 영역이 약 10배 정도로 줄어든다.

- <47> 또한, 하나의 재료인 질화막으로 패턴을 형성하는 경우에, 선택적 실리콘성장을 형성할때 열팽창계수가 실리콘보다 훨씬 작은 산화막에 비해 결함발생률이 높다.
- <48> 그리고, 인시튜 도핑상태에서 질화막에 대한 선택성 확보는 더욱 어려우며, 선택성을 확보한다 하더라도 그에 따른 성장속도의 감소는 불가피하다.
- <49> 이로 인해, 선택적 실리콘 성장(SEG) 열적 버지트를 증가시키게 되므로써 소자특성 열화를 초래하게 된다.
- <50> 그리고, 셀패턴의 밀도와 형태에 따라 선택적 실리콘성장의 과성장(over-growth) 하는 현상이 나타날 수 있고, 후속 중간절연막의 CMP 공정상의 문제를 야기시킬 수가 있다.
- <51> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 초고집적 반도체소자에 적합한 우수한 콘택플러그를 형성할 수 있는 반도체소자의 플러그 형성방법을 제공함에 그 목적이 있다.
- <52> 또한, 본 발명의 다른 목적은, 플러그 형성시에 선택적 실리콘 성장(SEG)을 적용하여 반도체소자의 제조공정을 단순화시킬 수 있는 반도체소자의 플러그 형성방법을 제공함에 있다.
- <53> 그리고, 본 발명의 또다른 목적은 콘택플러그 형성시에 플러그의 콘택저항을 감소시킬 수 있는 반도체소자의 플러그 형성방법을 제공함에 있다.

<54> 한편, 본 발명의 또다른 목적은 실리콘플러그의 캡매립에 소모되는 실리콘 소스량을 최소화시켜 제조비용을 절감시킬 수 있는 반도체소자의 플러그 형성방법을 제공함에 있다.

<55> 더욱이, 본 발명의 또다른 목적은 콘택홀측벽에 있는 실리콘막에서의 실리콘 성장을 촉진시켜 플러그 제조공정시간을 최대한 단축시킬 수 있는 반도체소자의 플러그 형성방법을 제공함에 있다.

【발명의 구성 및 작용】

<56> 상기 목적을 달성하기 위한 본 발명에 따른 반도체소자의 플러그 형성방법 은, 실리콘기판상에 절연막을 형성하는 단계; 상기 절연막내에 콘택홀을 형성하는 단계; 상기 콘택홀 표면에 실리콘막을 형성하는 단계; 및 상기 실리콘막이 형성된 콘택홀내에 선택적 도전성 플러그를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<57> (실시예)

<58> 이하, 본 발명에 따른 반도체소자의 플러그 형성방법을 첨부된 도면을 참조하여 상세히 설명한다.

<59> 도 5 내지 도 9는 본 발명에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정단면도이다.

<60> 도 10은 본 발명의 바람직한 실시예에 따른 반도체소자의 플러그 형성방법에 있어서, PE-USG막이 형성된 단면을 보여 주는 TEM 사진이다.

- <61> 도 11은 본 발명에 따른 반도체소자의 플러그 형성방법에 있어서, 습식식각 공정 및 도핑된 비정질실리콘층이 형성된 단면을 보여 주는 TEM 사진이다.
- <62> 도 12는 본 발명에 따른 반도체소자의 플러그 형성방법에 있어서, 선택적 실리콘성장(SEG)과 다결정실리콘막(SSG)이 형성된 단면을 보여 주는 TEM 사진이다.
- <63> 본 발명의 바람직한 실시예에 따른 반도체소자의 플러그 형성방법은, 도 5에 도시된 바와같이, 먼저 실리콘기판(21)내에 소자형성영역과 소자분리영역을 한정하는 트렌치 소자분리막(23)을 형성한다.
- <64> 그다음, 상기 실리콘기판(21)의 소자형성영역상에 게이트절연막(미도시)과 게이트구조(25)을 형성하고, 상기 게이트구조(25)를 포함한 상기 실리콘기판(21)의 상면에 질화막(미도시)을 증착하고 이를 이방성 식각공정을 통해 상기 게이트구조 (21)의 상면과 측면에만 남도록 선택적으로 제거하여 절연막스페이서 (27)을 형성한다.
- <65> 이어서, 도면에는 도시하지 않았지만, 상기 절연막스페이서(27)의 양측아래의 실리콘기판(21)내에 불순물을 주입하여 불순물집합영역(미도시)을 형성한다.
- <66> 그다음, 상기 절연막스페이서(27)를 포함한 전체 구조의 상면에 절연막(29)을 증착하고 이를 선택적으로 패터닝하여 상기 절연막(29)내에 상기 절연막스페이서(27)의 측면아래의 실리콘기판(21)부분을 노출시키는 콘택홀(미도시)을 형성한다.

<67>       그다음, 상기 절연막스페이서(27)를 포함한 전체 구조의 상면에 PE-USG산화막(31)을 약 300 내지 1000 Å 두께로 증착한다. 이때, 요구되는 스텝 커버리지(step coverage)는 50 % 이하로 만족시켜야 한다. 또한, 상기 PE-USG산화막(31)은  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$ , He 중에서 하나를 선택하여 소오스 가스로 사용하고, 압력은 0.1 내지 50 Torr, 온도는 350 내지 550 °C, 파워는 100 내지 1000 W로 조절한다. 이와 같은 조건을 통해 얻어진 단면사진이 도 10에 도시되어 있다.

<68>       도 10은 420 °C 온도에서의 PE-USG산화막의 단면사진을 보여 준 사진으로, 스텝 커버리지가 약 30 % 정도로 나타났다.

<69>       이와 같이, 상기 게이트구조(25)상에 PE-USG산화막(31)을 형성해 주므로써 게이트 하드마스크의 손실을 줄이는 효과도 있다.

<70>       이어서, 도 6에 도시된 바와같이, 상기 PE-USG 산화막(31)을 습식식각공정에 의해 상기 게이트구조(25)의 전면상에 형성된 절화막스페이서(27)의 상면에 약 200 내지 400 Å 정도만 남도록 선택적으로 제거하여 상기 절화막스페이서(27)사이의 실리콘기판(21)의 표면을 노출시킨다. 이때, 상기 PE-USG산화막(31)의 식각공정은 희석된 HF 용액을 사용하여 50 내지 500 배정도의 증류수(DI)에 50 내지 100 °C 온도범위하에서 실시한다. 예를들어, 스텝 커버리지가 50%인 PE-USG막을 600 Å 두께정도 증착시켰다면, 습식 식각 타겟은 300 내지 400 Å이 된다.

<71>       그다음, 후속공정에서 비정질실리콘박막을 증착하기 전에 인시튜(in-situ) 세정을 실시한다. 이때, 인시튜 세정공정은 수소 플로우 상태에서 온도를 올려 기판 계면에 있는 산화막을 제거하기 위해 실시한다. 또한, 상기 세정공정은 공

정시간 및 열적부하(thermal budget) 측면에서 RTP(rapid thermal processing) 방법을 사용하여 진행하는 것이 바람직하다. 이때, 상기 RTP공정은, 순간적으로 온도를 950 °C 정도(램핑속도(ramping rate)는 10°C/초 이상))로 상승시킨후, 급속히 실리콘 증착온도, 즉 550 내지 630 °C 까지 냉각시켜 진행한다.

<72>       그다음, 도 7에 도시된 바와같이, 세정공정을 진행한후 남아 있는 PE-USG산화막(31)을 포함한 전체 구조의 상면에 도핑된 비정질실리콘박막(33)을 약 50 내지 150 Å 두께로 증착한다. 이때, 상기 도핑된 비정질실리콘박막(33)의 증착은  $\text{SiH}_4$ ,  $\text{H}_2$ 의 공정가스를 사용하고, 실리콘 도핑농도는 1 내지  $2\text{E}20$  원자/cc를 유지하도록 한다.

<73>       이렇게 도핑된 비정질실리콘박막(33)을 어느 임계 온도범위에서 증착시키면, 도 11에서와 같이, 질화막스페이서(27)의 노출된 표면위에서는 도핑된 다결정실리콘이 형성됨과 동시에 그 성장속도도 20 내지 50 % 정도 높게 나타남을 알 수 있다.

<74>       이어서, 도 8에 도시된 바와같이, 온도를 선택적 실리콘성장(selective silicon growth) 형성 온도까지 올리는데, 공정기체 안정화(gag-stabilization) 단계에서  $\text{HCl}$ 과  $\text{H}_2$ 를 약간 흘려 주어 PE-USG막(31)의 윗쪽에 증착된 비정질실리콘박막부분(31)을 제거한다. 이때, 상기 제거공정조건으로,  $\text{HCl}$  유량은 0.1 내지 1 slm이고,  $\text{H}_2$ 유량은 1 내지 10 slm 이며, 압력은 10 내지 500 Torr 이고, 온도는 750 내지 950 °C이다.

<75>       이렇게 PE-USG(31)막상에 있는 비정질실리콘박막이 제거되어 질화막스페이서 (27)의 측면과 실리콘기판(21)의 바닥에는 실리콘박막(33a)이 그대로 남아 있

게 된다. 특히, 실리콘기판(21)의 바닥쪽은 계면 세정이 진행된 상태이기 때문에 에피택셜 콘택(epitaxial contact)을 그대로 유지시킬 수 있는 조건이 된다.

<76> 이와 같은 방법으로 실리콘박막(33a)을 만들게 되면, 선택적 실리콘플러그의 성장 균일도를 크게 향상시킬 수 있고, 기존에 후속공정으로 실시하는 플러그 분리공정이 필요없게 된다.

<77> 그다음, 도 9에 도시된 바와같이, 상기 실리콘박막(33a)을 포함한 콘택홀(미도시)내에 LPCVD방법에 의해 선택적 실리콘플러그(35)을 성장시킨다. 이때, 상기 선택적실리콘플러그(35)을 형성하기 위해 사용하는 LPCVD방법은, Si-H-Cl 시스템을 기본으로 하여, DCS-H<sub>2</sub>-HCl 가스 시스템 또는 MS-H<sub>2</sub>-HCl 가스 시스템을 적용한다.

<78> 여기서, DCS-H<sub>2</sub>-HCl 가스 시스템을 적용하는 경우, 온도는 750 내지 950 °C, 압력은 5 내지 150 Torr, DCS 유량은 0.1 내지 1 slm이며, HCl 유량은 0.1 내지 1.0 slm이며, H<sub>2</sub> 유량은 30 내지 150 slm으로 진행한다.

<79> 또한, MS-H<sub>2</sub>-HCl 시스템을 적용할 경우, 온도는 750 내지 950 °C, 압력은 5 내지 150 Torr, MS(monosilane) 유량은 0.1 내지 1 slm이며, HCl 유량은 0.5 내지 5.0 slm이며, H<sub>2</sub> 유량은 30 내지 150 slm으로 진행한다.

<80> 한편, 공통적으로 인시튜 도핑조건은 1 내지 10%의 PH<sub>3</sub>/H<sub>2</sub>를 0.1 내지 1.5 slm 정도로 흘려 준다. 이때, SEG 성장타겟은 게이트사이 폭의 60 % 내지 100 % 사이로 결정된다. 예를들어, 게이트사이의 폭이 1000 Å이라면 600 내지 1000 Å 정도 성장시켜 주면 된다.



- <81> 도 12는 선택적실리콘플러그 제조공정을 통해 성장한 선택적 실리콘플러그 (33)의 단면 모양을 도시한 것으로, 실리콘기판의 표면쪽에서는 단결정실리콘 (35a)이 선택적으로 성장되고, 동시에 양측 실리콘박막(33a)쪽에서는 다결정실리콘(35b)이 성장하면서 서로 결합되므로써 콘택홀이 양호하게 매립된다.
- <82> 한편, 본 발명의 다른 실시예는, 콘택홀 측벽에 실리콘박막을 형성하는 공정 전까지는 앞서 설명한 본 발명의 일 실시예와 동일한 공정으로 진행하되, 실리콘박막 증착과 실리콘박막을 이용한 실리콘측벽을 형성하는 공정 및 SSG 플러그 형성공정에 대해서는 다른 형성방법을 제안한다.
- <83> 상기와 같은 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법에 대해 설명하면 다음과 같다.
- <84> 도 13 내지 도 17은 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정단면도이다.
- <85> 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법은, 도 13에 도시된 바와같이, 먼저 실리콘기판(41)내에 소자형성영역과 소자분리영역을 한정하는 트렌치 소자분리막(43)을 형성한다.
- <86> 그다음, 상기 실리콘기판(41)의 소자형성영역상에 게이트절연막(미도시)과 게이트구조(45)을 형성하고, 상기 게이트구조(45)를 포함한 상기 실리콘기판(41)의 상면에 질화막(미도시)을 증착하고 이를 이방성 식각공정을 통해 상기 게이트구조 (41)의 상면과 측면에만 남도록 선택적으로 제거하여 절연막스페이서(47)을 형성한다.

- <87> 이어서, 도면에는 도시하지 않았지만, 상기 절연막스페이서(47)의 양측아래의 실리콘기판(41)내에 불순물을 주입하여 불순물접합영역(미도시)을 형성한다.
- <88> 그다음, 상기 절연막스페이서(47)를 포함한 전체 구조의 상면에 절연막(49)을 증착하고, 이를 선택적으로 패터닝하여 상기 절연막스페이서(47)의 측면아래의 실리콘기판(41)부분을 노출시키는 콘택홀(미도시)을 형성한다.
- <89> 이어서, 상기 절연막스페이서(47)를 포함한 전체 구조의 상면에 PE-USG산화막(51)을 약 300 내지 1000 Å 두께로 증착한다. 이때, 요구되는 스텝 커버리지(step coverage)는 50 % 이하로 만족시켜야 한다. 또한, 상기 PE-USG산화막(51)은  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$ , He 등중에서 하나를 선택하여 소오스 가스로 사용하고, 압력은 0.1 내지 50 Torr, 온도는 350 내지 550 °C, 파워는 100 내지 1000 W로 조절한다.
- <90> 한편, 상기 게이트구조(45)상에 PE-USG산화막(51)을 형성해 주므로써 게이트 하드마스크의 손실을 줄이는 효과도 있다.
- <91> 이어서, 도 14에 도시된 바와같이, 습식식각공정을 진행하여 상기 PE-USG산화막(51)을 상기 게이트구조(45)상의 절화막스페이서(47)의 상면에 약 200 내지 400 Å 정도만 남도록 선택적으로 제거하여 상기 절화막스페이서(47)사이의 실리콘기판(41)의 표면을 노출시킨다. 이때, 상기 PE-USG산화막(51)의 식각공정은, 본 발명에 따른 일실시예와 동일한 공정조건을 사용하되, 희석된 HF 용액을 사용하여 50 내지 500 배정도의 증류수(DI)에 50 내지 100 °C 온도범위하에서 실시한다. 예를들어, 스텝 커버리지가 50%인 PE-USG막을 600 Å 두께정도 증착시켰다면, 습식 식각 타겟은 300 내지 400 Å이 된다.

- <92> 그다음, 도면에는 도시하지 않았지만, 후속공정에서 비정질실리콘박막을 증착하기 전에 인시튜(in-situ) 세정을 실시한다. 이때, 인시튜 세정공정은, 본 발명에 따른 일실시예와 동일한 공정조건으로 진행하되, 수소 플로우 상황에서 온도를 올려 기판 계면에 있는 산화막을 제거하기 위해 실시한다.
- <93> 또한, 상기 세정공정은 공정시간 및 열적버지트(thermal budget) 측면에서 RTP(rapid thermal processing) 방법을 사용하여 진행하는 것이 바람직하다. 이때, 상기 RTP공정은, 순간적으로 온도를 950 °C 정도 (램핑속도(ramping rate)는 10°C/초 이상))로 상승시킨후, 급속히 실리콘 증착온도, 즉 550 내지 630 °C 까지 냉각시켜 진행한다.
- <94> 이어서, 도 15에 도시된 바와같이, 습식식각공정을 진행한후 전체 구조의 상면에 비정질실리콘박막(53)을 증착한다. 이때, 상기 비정질실리콘박막(53)은  $\text{SiH}_4$ ,  $\text{H}_2$  공정가스를 사용하여 증착한다.
- <95> 또한, 상기 비정질실리콘박막(53)의 증착조건은, 단일웨이퍼공정 전용챔버의 경우에  $\text{SiH}_4$ 과  $\text{Si}_2\text{H}_6$  각각은 0.1 내지 1.0 slm이고,  $\text{H}_2$ 는 1 내지 25 slm이며, 압력은 1 내지 100 Torr이며, 온도는 550 내지 630 °C이다.
- <96> 한편, 튜브시스템의 경우,  $\text{SiH}_4$ 유량은 약 0.1 내지 2.0 slm이고,  $\text{H}_2$ 유량은 1 내지 20 slm이며, 압력은 1 내지 10 Torr이며, 온도는 520 내지 610 °C이다. 그리고, 실리콘 도핑농도는 1 내지  $2 \times 10^{20}$  원자/cc를 유지하도록 한다.
- <97> 그다음, 도 16에 도시된 바와같이, 상기 도핑된 비정질실리콘박막(53)을 증착한후 RIE 식각공정을 통해 PE-USG막(51)의 노출된 표면에 있는 도핑된 비정질

실리콘박막부분을 제거한다. 이때, 실리콘기판(41)의 바닥면에 있던 도핑된 비정질실리콘박막부분도 함께 제거된다.

<98> 이어서, 콘택플러그 성장공정전에 인시튜 세정공정을 진행하여 실리콘기판의 계면세정을 실시한다. 이때, 상기 인시튜 세정공정은 플러그 증착온도와 동일한 온도에서 인시튜 진공세정 또는 수소를 흘려 주면서  $H_2$  베이킹공정을 실시하여 자연산화막을 제거하도록 한다. 이러한 세정공정을 완전하게 진행되지 않을 경우에는 산화막위에서도 쉽게 선택성이 상실되며, 실리콘창(silicon window), 즉 SEG가 성장하는 위치에서도 표면구조와 같은 결함이 다량 발생할 수가 있다.

<99> 그다음, 도 17에 도시된 바와같이, 상기 실리콘기판(41)의 노출된 표면을 포함한 콘택홀(미도시)내에 선택적 실리콘플러그(55)를 형성한다. 이때, 상기 선택적 실리콘플러그(55) 증착은 LPCVD 방법이외에 UHVCVD방법에 의해 진행할 수도 있다. 또한, 선택적 실리콘성장(SEG)의 증착공정에서 일반적으로 산화막패턴에 대한 실리콘 핵생성이 발생하기 시작하는 선택적 실리콘성장(SEG)의 최대 두께가 인큐베이션 두께(incubation thickness)로서, 보통 800 내지 1200 Å이다.

<100> 물론,  $Cl_2$  가스를 첨가시켜 선택적 실리콘성장(SEG) 두께를 인위적으로 증가시킬 수는 있지만, 반대로 성장속도가 감소할 수 있다.

<101> 따라서, UHVCVD에 의한 선택적 실리콘플러그 형성시에, 이러한 인큐베이션 두께를 활용하여 최대 성장속도를 구현할 수 있기 때문에 공정마진을 위해  $Cl_2$ 를 첨가시킬 수도 있다.

<102> 한편, 상기 선택적 실리콘플러그(55)의 증착조건으로는,  $\text{Si}_2\text{H}_6 + \text{Cl}_2 + \text{H}_2$  시스템을 사용하며, 이들 각각의 유량은 1 내지 10 sccm, 0 내지 0 내지 20 sccm 으로 플로우시킨다.

<103> 또한, 상기 증착공정은,  $\text{H}_2$ 에 1 내지 10 %  $\text{PH}_3$  이 함유된 가스를 이용하여 인시튜 도핑조건하에서 진행한다. 이때, 온도는 600 내지 800 °C이고, 압력은 1 내지 50 mTorr의 범위하에서 실시한다.

<104> 그리고, 상기 선택적 실리콘플러그(55) 증착중에  $\text{GeH}_4$ 를 첨가하면, PE-USG 산화막에 대한 선택성이 개선되면서 성장속도가 증가한다. 이때,  $\text{GeH}_4$ 는 약 0 내지 10 sccm 정도 흘려 주는 것이 바람직하다. 또한, SSG플러그의 성장두께는 콘택홀(미도시)의 폭의 약 60 내지 100 %에 이른다.

#### 【발명의 효과】

<105> 상기에서 설명한 바와같이, 본 발명에 따른 반도체소자의 플러그 형성방법에 있어서는 다음과 같은 효과가 있다.

<106> 본 발명에 따른 반도체소자의 플러그 형성방법에 있어서는, 자기정렬콘택패턴인 질화막스페이서의 위쪽으로는 얇은 PE-USG산화막이 형성되고, 질화막스페이서의 측면쪽으로는 실리콘을 형성시켜 줌으로써 선택적 실리콘성장(SEG) 형성공정시에 선택성 마진을 향상시킬 수 있어 플러그 성장속도를 증가시킬 수가 있다.

- <107> 또한, 질화막스페이서의 측면쪽에 실리콘을 형성하여 이 부분에서 실리콘 성장을 촉진시켜 주므로써 SEG의 적용가능성을 더욱 높일 수가 있어 제조공정을 단순화시킬 수가 있다.
- <108> 그리고, 본 발명에 있어서는, 플러그 형성시에 SEG 등을 이용하여 플러그 형성이 가능하기때문에, 종래와 같은 튜브 다결정실리콘으로 플러그를 형성하는 경우보다 플러그 접촉저항을 현저하게 감소 (예를들어, 튜브다결정실리콘 대비 약 30 %감소)시킬 수 있다.
- <109> 더욱이, 본 발명에 있어서는, 측벽 실리콘막에서의 실리콘성장을 촉진시켜 주므로써 선택적실리콘 플러그의 성장 타겟을 현저하게 줄일 수 있어 공정시간을 단축시킬 수 있다.
- <110> 한편, 종래와 같이 콘택플러그를 선택적실리콘성장(SEG)으로만 형성하는 경우, 예를들면 플러그콘택홀의 측벽이 질화막의 경우, SEG 형성시에 (111) 페이스트(facet)를 유발시키기 쉽다. 그러나, 본 발명에서는 콘택홀 측벽에 실리콘막이 형성되어 있어 실리콘막으로부터 성장되는 실리콘성장으로 인해 퍼시트가 발생하지 않게 된다.
- <111> 그리고, 본 발명에 있어서는, 게이트구조의 상측에 위치하는 PE-USG 산화막은 마스크 질화막의 높이를 낮추게 함으로써 자기정렬콘택(SAC) 공정을 향상시킬 수 있다.

- <112> 또한, 본 발명에 있어서는, 선택적 실리콘성장(SEG) 성장타겟을 줄여도 콘택홀 매립에는 전혀 문제가 없으며, 셀패턴에 따른 브릿지 가능성도 희박하다. 왜냐하면, 과성장 가능성이 매우 낮기 때문이다.
- <113> 한편, 본 발명에 있어서는 플러그 형성시에 UHVCVD방법의 적용가능성을 크게 향상시킬 수가 있다. 왜냐하면, 일반적으로 UHVCVD공정은 LPCVD 공정보다 선택성과 성장속도가 취약하지만 본 발명에 적용시에 실리콘 성장두께를 줄여 생산성을 배가시킬 수 있으므로 저온열적버지트공정(low thermal budget process)의 최적화를 기대할 수가 있다.
- <114> 그리고, 본 발명은 실리콘플러그를 형성하기 위한 갭매립에 소모되는 실리콘소스량을 최소화시켜 경제적으로 매우 큰 장점을 가지고 있으며, 환경 친화적인 측면에서도 잇점이 있다.
- <115> 한편, 본 발명은 상술한 특징의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

**【특허청구범위】****【청구항 1】**

실리콘기판상에 절연막을 형성하는 단계;

상기 절연막내에 콘택홀을 형성하는 단계;

상기 콘택홀 표면에 실리콘막을 형성하는 단계; 및

상기 실리콘막이 형성된 콘택홀내에 선택적 도전성 플러그를 형성하는 단계를 포함하여 이루어지는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 2】**

제1항에 있어서, 상기 절연막을 형성하는 단계전에 상기 실리콘기판상에 게이트구조를 형성하는 단계와, 상기 게이트구조의 전면에 절연막을 형성하는 단계 및, 상기 게이트구조상면에 있는 절연막상에 산화막을 형성하는 단계를 더 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 3】**

제2항에 있어서, 상기 산화막은 PE-USG 산화막을 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 4】**

제2항에 있어서, 상기 게이트구조상면에 있는 절연막상에만 산화막을 형성하는 단계는, 상기 콘택홀을 포함한 절연막상에 산화막을 형성하는 단계와, 상기 산화막을 습식식각공정에 의해 선택적으로 제거하는 단계를 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.



**【청구항 5】**

제3항에 있어서, 상기 PE-USG 산화막은  $\text{SiH}_4$ 를 소오스가스로 사용하고,  $\text{N}_2\text{O}$  또는  $\text{O}_2$ 를 함께 혼합하여 형성하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 6】**

제5항에 있어서, 상기 PE-USG 산화막의 증착조건으로,  $\text{SiH}_4$ 유량은 10 내지 200 sccm,  $\text{N}_2\text{O}$ 와  $\text{O}_2$  각각의 유량은 100 내지 3000 sccm, He 유량은 0 내지 1000 sccm, 압력은 0.1 내지 50 Torr, 온도는 350 내지 550  $^{\circ}\text{C}$ , 파워는 100 내지 1000 W 인 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 7】**

제3항에 있어서, 상기 PE-USG 산화막의 두께는 300 내지 1000 Å이고, 스텝커버리지는 50 %이하인 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 8】**

제1항에 있어서, 상기 선택적 도전성플러그는 LPCVD방법 또는 UHVCVD방법에 의해 선택적 단결정실리콘성장(SEG)과 선택적다결정실리콘을 성장시켜 형성하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 9】**

제8항에 있어서, 상기 LPCVD방법을 사용하는 경우, Si-H-Cl 시스템을 기본으로 하되,  $\text{DCS-H}_2\text{-HCl}$  또는  $\text{MS-H}_2\text{-HCl}$  가스 시스템을 적용하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 10】**

제9항에 있어서, 상기 DCS-H<sub>2</sub>-HCl 가스시스템을 적용하는 경우, 온도는 750 내지 950 °C, 압력은 5 내지 150 Torr, DCS 유량은 0.1 내지 1 slm이며, HCl 유량은 0.1 내지 1.0 slm이며, H<sub>2</sub> 유량은 30 내지 150 slm으로 진행하는 것을 특징으로 하는 반도체소자의 플러그 형성방법.

**【청구항 11】**

제9항에 있어서, MS-H<sub>2</sub>-HCl 시스템을 적용하는 경우, 온도는 750 내지 950 °C, 압력은 5 내지 150 Torr, MS(monosilane) 유량은 0.1 내지 1 slm이며, HCl 유량은 0.5 내지 5.0 slm이며, H<sub>2</sub> 유량은 30 내지 150 slm으로 진행하는 것을 특징으로 하는 반도체소자의 플러그 형성방법.

**【청구항 12】**

제2항에 있어서, 상기 게이트구조의 전면에 형성되는 절연막은 질화막인 것을 포함하는 것을 특징으로 하는 반도체소자의 플러그 형성방법.

**【청구항 13】**

제4항에 있어서, 상기 습식식각공정을 통해 남게 되는 산화막 두께는 200 내지 400 Å인 것을 특징으로 하는 반도체소자의 플러그 형성방법.

**【청구항 14】**

제1항에 있어서, 상기 실리콘막은 도핑된 비정질실리콘막을 포함하는 것을 특징으로 하는 반도체소자의 플러그 형성방법.

**【청구항 15】**

제14항에 있어서, 상기 비정질실리콘막을 형성하기 전 단계로, 인시튜 세정 공정을 진행하는 단계를 더 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 16】**

제15항에 있어서, 상기 인시튜 세정공정은, RTP(rapid thermal processing) 세정방법을 이용하여 진행하는 것을 특징으로하는 반도체 소자의 플러그 형성방법.

**【청구항 17】**

제14항에 있어서, 상기 비정질실리콘박막의 증착은  $\text{SiH}_4$ ,  $\text{H}_2$  공정가스를 이용하되, 실리콘 도핑농도는 1 내지  $2\text{E}20$  원자/cc인 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 18】**

제14항에 있어서, 상기 비정질실리콘막은 콘택홀의 바닥면 및 측면에 형성하거나, 콘택홀측면에만 형성하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 19】**

제18항에 있어서, 상기 콘택홀의 바닥면 및 측면에만 남도록 비정질실리콘막을 제거하는 단계는, HCl를 이용한 식각공정에 의해 제거하되, HCl 유량은 0.1 내지 1.0,  $\text{H}_2$  유량은 1 내지 10 slm, 압력은 10 내지 500 Torr, 온도는 750 내지 950  $^{\circ}\text{C}$ 하에서 진행하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 20】**

제1항에 있어서, 상기 실리콘막은 50 내지 150 Å 두께의 비정질실리콘막을 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 21】**

제8항에 있어서, 상기 UHVCVD방법을 적용하는 경우, 선택적 실리콘플러그를 형성하기 전 단계로, 850 내지 950 °C에서 1 내지 5분동안 수소베이킹공정 또는 RTP 세정공정을 진행하는 단계를 더 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 22】**

제8항에 있어서, 선택적 도전성플러그의 증착조건은,  $\text{Si}_2\text{H}_6 + \text{Cl}_2 + \text{H}_2$  시스템을 사용하며, 이들 각각의 유량은 1 내지 10 sccm, 0 내지 20 sccm 으로 플로우시키고,  $\text{H}_2$ 에 1 내지 10 %  $\text{PH}_3$  이 함유된 가스를 이용하여 인시튜 도핑조건하에서 온도는 600 내지 800 °C이고, 압력은 1 내지 50 mTorr 하에서 실시하는 것을 특징으로하는 반도체 소자의 플러그 형성방법.

**【청구항 23】**

제1항에 있어서, 상기 선택적 도전성플러그 증착은 단일웨이퍼 공정전용 UHVCVD 장비와 튜브형 SEG 전용 UHVCVD장비에서 진행하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 24】**

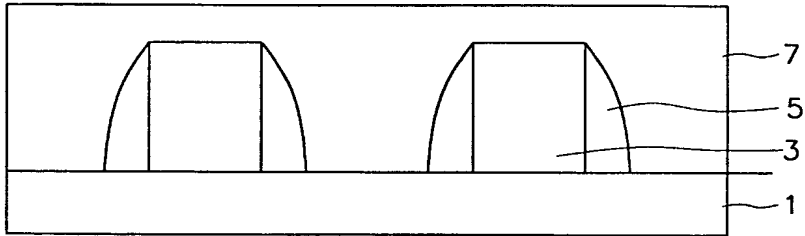
제23항에 있어서, 상기 선택적 실리콘플러그 증착중에 0 내지 10 sccm 유량의  $\text{GeH}_4$  가스를 흘려 주는 것을 특징으로하는 반도체소자의 플러그 형성방법.

**【청구항 25】**

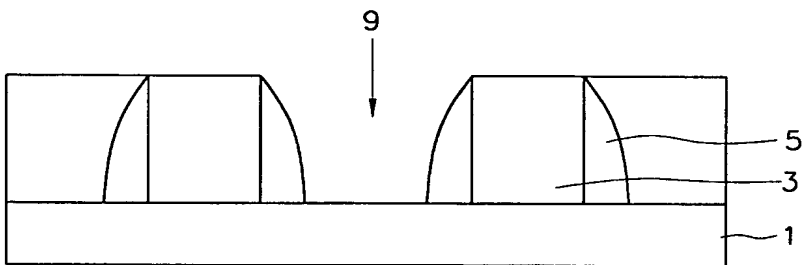
제18항에 있어서, 상기 콘택홀의 측면에만 남도록 비정질실리콘막을 제거하는 단계는, 건식식각공정에 의해 산화막 및 콘택홀 바닥에 있는 비정질실리콘막을 제거하는 단계를 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

## 【도면】

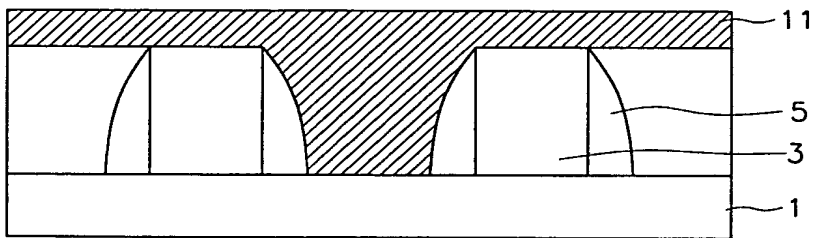
【도 1】



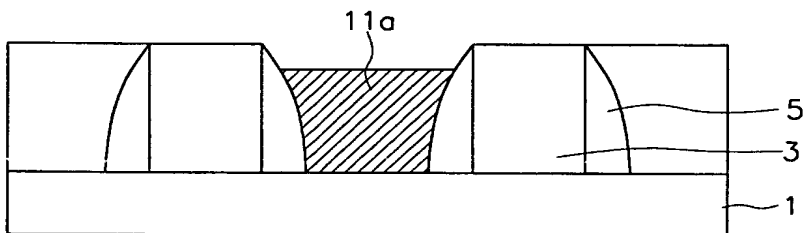
【도 2】



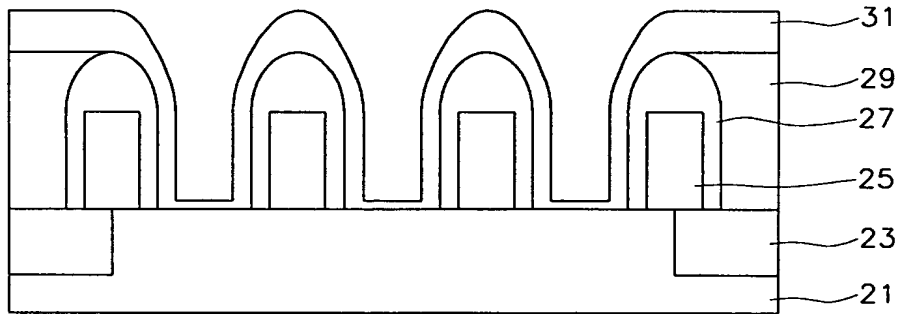
【도 3】



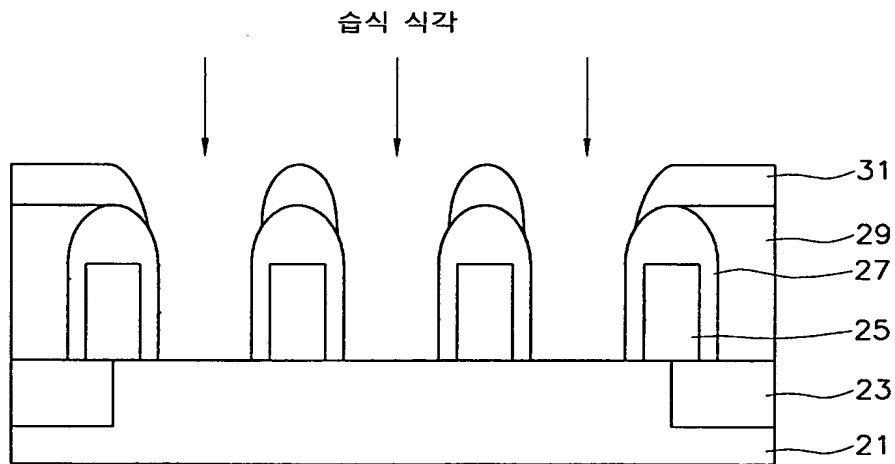
【도 4】



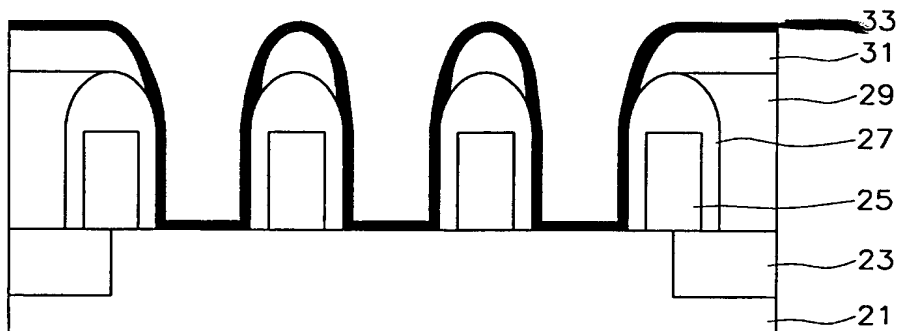
【도 5】



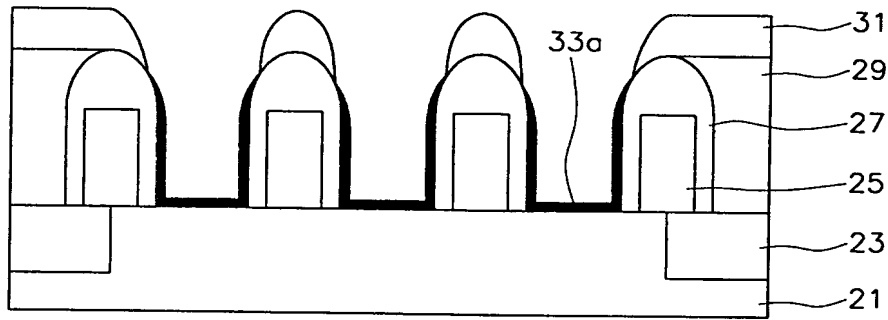
【도 6】



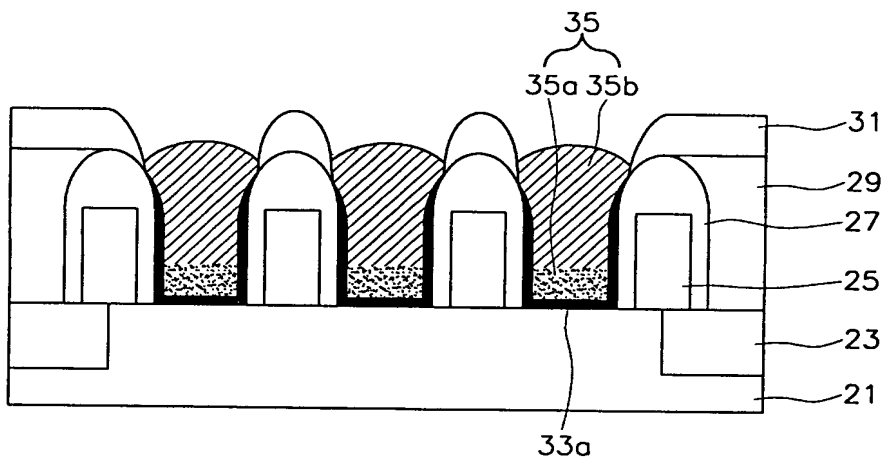
【도 7】



【도 8】

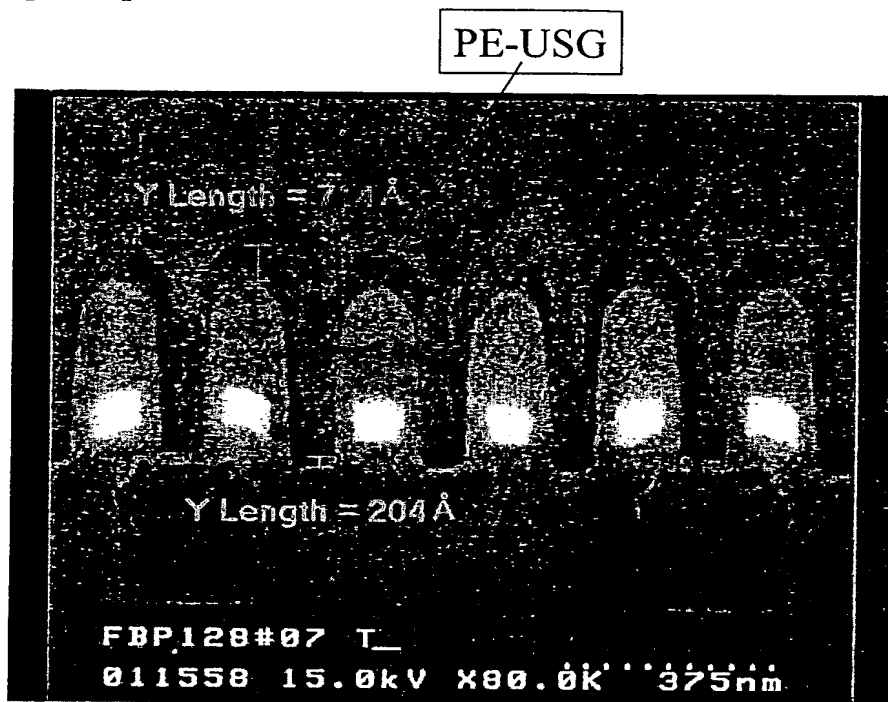


【도 9】





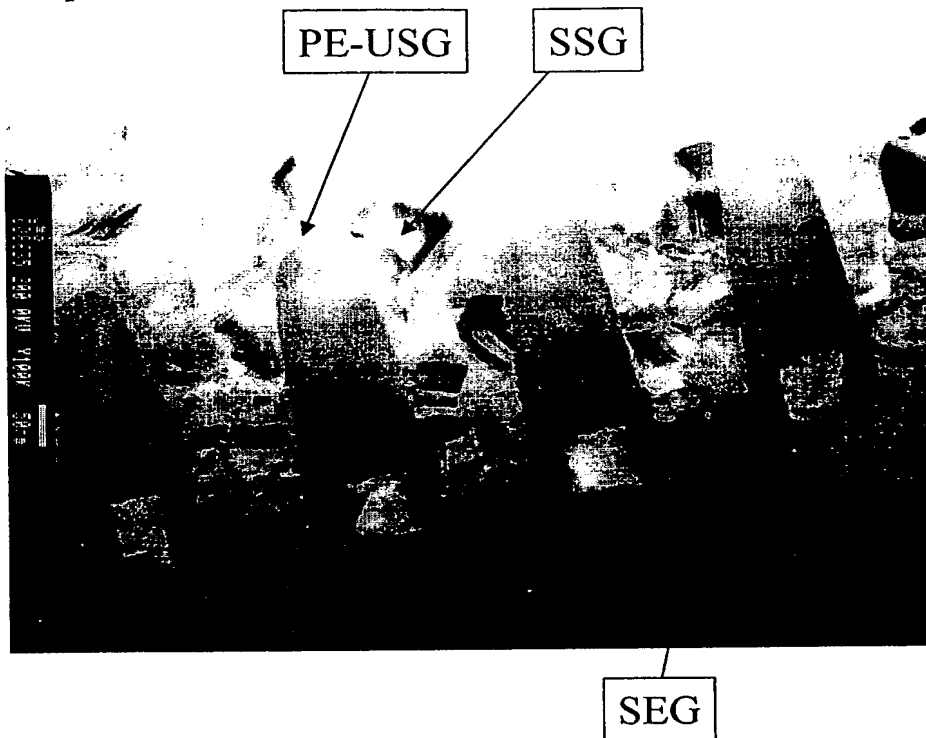
【도 10】



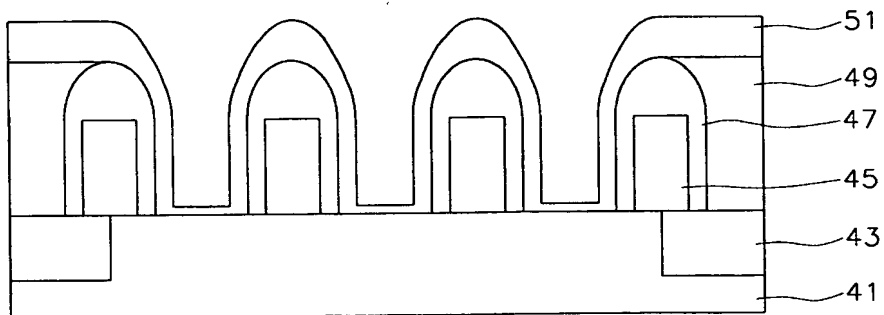
【도 11】



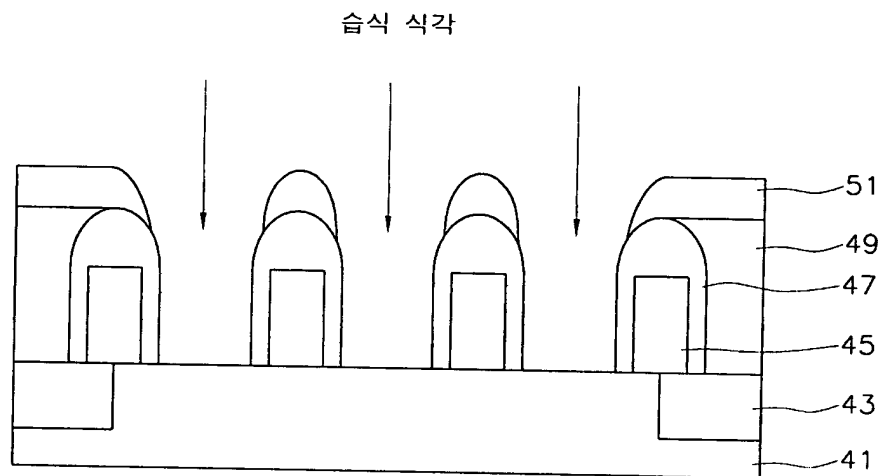
【도 12】



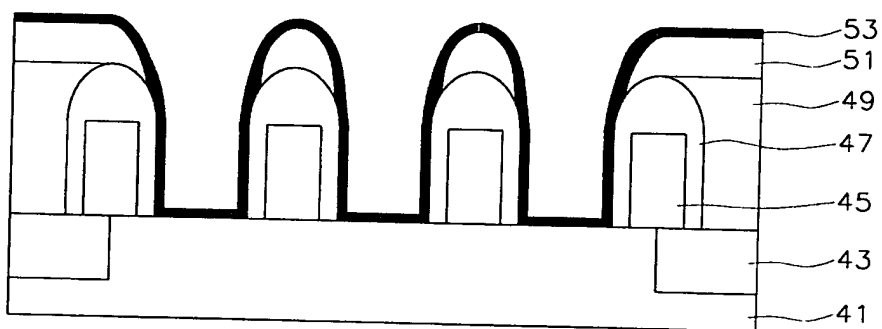
【도 13】



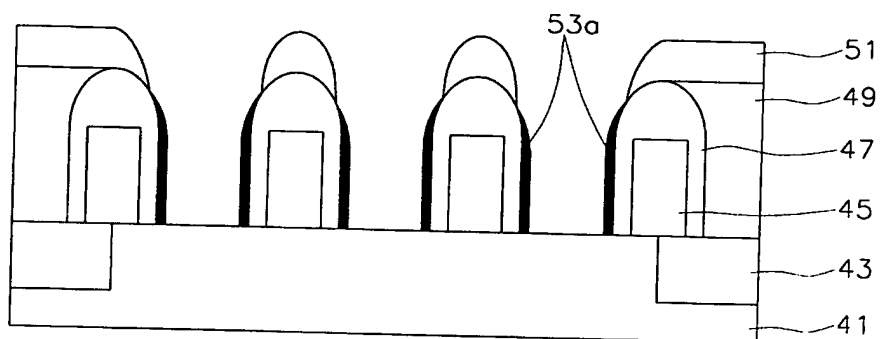
【도 14】



【도 15】



【도 16】



【도 17】

